

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-223758

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.  
 H01L 21/768  
 H01L 21/283  
 H01L 21/3065  
 H01L 21/3213

(21)Application number : 09-158571

(71)Applicant : SONY CORP

(22)Date of filing : 16.06.1997

(72)Inventor : YAMAGISHI NOBUHISA

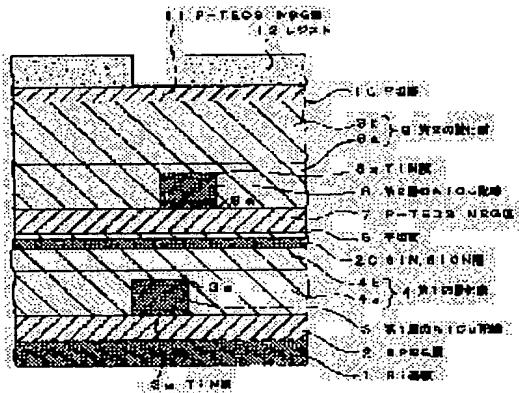
(30)Priority

Priority number : 08327007 Priority date : 06.12.1996 Priority country : JP

**(54) SEMICONDUCTOR DEVICE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To prevent an erroneous short circuit and a breakdown-strength defect from being generated in a connecting operation using a borderless contact hole by a method wherein a hard-to-etch layer which is composed of SiN, SiON, SiC, SiCN or the like containing N or C is formed in the intermediate part of an insulating layer at the lower layer of a metal interconnection.

**SOLUTION:** A borophosphosilicate glass film 2 which constitutes an insulating film is formed on an Si substrate 1, and a first-layer AlCu interconnection 3 is micromachined by a dry-etching operation so as to be formed on it. A first oxide film 4 is formed on the AlCu interconnection 3 and the borophosphosilicate glass film 2. After that, the first oxide film 4 is polished, a flat face 5 is formed, ions are implanted into the whole face of a wafer from the flat face 5, and a hard-to-etch layer 20 which is composed of SiN is formed. In addition, an NSG film 7 and a second-layer AlCu interconnection 8 are micromachined by a dry-etching operation so as to be formed on the flat face 5.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-223758

(43)公開日 平成10年(1998)8月21日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 21/768  
21/283  
21/3065  
21/3213

識別記号

F I  
H 0 1 L 21/90  
21/283  
21/302  
21/88

K  
D  
L  
D

審査請求 未請求 請求項の数3 O.L. (全9頁)

(21)出願番号

特願平9-158571

(22)出願日

平成9年(1997)6月16日

(31)優先権主張番号

特願平8-327007

(32)優先日

平8(1996)12月6日

(33)優先権主張国

日本 (JP)

(71)出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

山岸 信久

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人

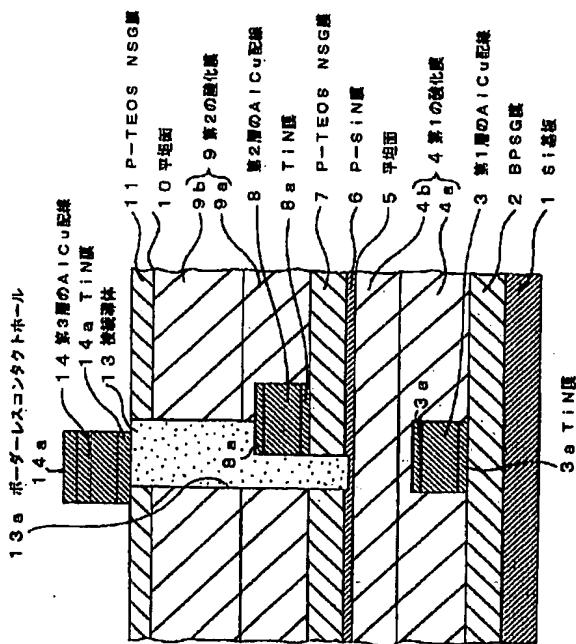
弁理士 松隈 秀盛

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 ボーダーレスコンタクトホールにより接続するようにしたときに誤短絡したり、耐圧不良等が発生しないようにすることを目的とする。

【解決手段】 半導体基板1上に多層金属配線3, 8, 14を行なうようにした半導体装置において、金属配線8の下層の絶縁層の中間部分にN又はCを含有するSiN, SiON, SiC, SiCN等から成る難エッチング層20を設けたものである。



## 【特許請求の範囲】

【請求項1】半導体基板上に多層金属配線を行うようにした半導体装置において、金属配線の下層の絶縁層の中間部分にN又はCを含有するSiN, SiON, SiC, SiCN等から成る難エッチング層を設けたことを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、前記N又はCを含有するSiN, SiON, SiC, SiCN等から成る難エッチング層を高アスペクト比のコンタクトホールのエッティングの際のエッチングストップ層としたことを特徴とする半導体装置。

【請求項3】請求項1記載の半導体装置において、前記N又はCを含有するSiN, SiON, SiC, SiCN等から成る難エッチング層をC<sup>+</sup>又はN<sup>+</sup>をイオン注入することで形成したことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば超LSI装置に適用して好適な半導体装置に関する。

## 【0002】

【従来の技術】近年、半導体装置の高集積化に伴う各構成素子の縮小を達成するため、この各構成素子間の相互接続に余裕度のないコンタクトホールを使用した接続法所謂ボーダーレスコンタクト法が利用されつつある。

【0003】このボーダーレスコンタクト法によりコンタクトホールを加工するときには、C<sub>x</sub>F<sub>y</sub>/CO/A<sub>r</sub>, CHF<sub>3</sub>/CO/A<sub>r</sub>, C<sub>x</sub>F<sub>y</sub>/CO/A<sub>r</sub>/O<sub>2</sub>等の混合ガスを用いたマグネットロン反応性イオンエッティング(マグネットロンRIE)が使用されている。

【0004】このマグネットロンRIEでは高い対レジスト、対TiN, TiW, Wの選択比と、良好なムーローディング効果を得るように加工条件を設定しているため、寸法変換差の少ない、角度制御の良好( $\theta = 88^\circ \sim 90^\circ$ )な高アスペクト比を持つボーダーレスコンタクトホールを得ることができる。

## 【0005】

【発明が解決しようとする課題】このマグネットロンRIEでは、微細な径( $\phi = 0.50\mu m$ 以下)のコンタクトホールに対するムーローディング効果を上げているため、ボーダーレスコンタクトホールを形成する部分の絶縁膜を構成する酸化膜のエッティングの進行(抜け性)が予期した以上に良く、例えば図7に示す如く、金属配線(A1Cu配線)8までのコンタクトホールを得ようとする場合に、このA1Cu配線8の下層まで、このコンタクトホール13aの底部が到達してしまう現象が見られる(金属配線下層の掘れ)。

【0006】これによって多層配線間の短絡や、耐圧不良等が発生し、良好な電気特性を得ることが出来ない不都合があった。

【0007】更に図7を参照して、この従来の不都合につき説明する。図7において、1はトランジスタ等が集積形成されたSi基板、2は絶縁膜を構成するリフローによるポロンリンシリケートガラス(BPSG)膜、3は第1層のA1Cu配線、3aはこの第1層のA1Cu配線3の上下に被着したチタンナイトライド(TiN)膜、4は層間絶縁膜を構成するプラズマCVDで形成したP-TEOS NSG膜とO<sub>x</sub>-TEOS NSG膜との2層より成る第1の酸化膜、7はP-TEOS NSG膜より成る絶縁膜、8は第2層のA1Cu配線、8aはこの第2層のA1Cu配線の上下に被着したTiN膜、9は層間絶縁膜を構成するP-TEOS NSG膜とO<sub>x</sub>-TEOS NSG膜との2層より成る第2の酸化膜、11はP-TEOS NSG膜より成る絶縁膜、14は第3層のA1Cu配線、14aはこの第3層のA1Cu配線14の上下に被着したTiN膜である。

【0008】斯る図7例において、第2層のA1Cu配線8と第3層のA1Cu配線14とを接続したいときに、このマグネットロンRIEによりボーダーレスコンタクトホール13aを形成したときに、このエッティングの進行(抜け性)が予期した以上に良く、このコンタクトホール13aの底が図7に示す如く、第1層のA1Cu配線3まで到達してしまったときにはCVD法とエッチバック法により形成された接続導体(例えばWプラグ)13は第1層のA1Cu配線3をも誤短絡する不都合を生じる。

【0009】本発明は斯る点に鑑みボーダーレスコンタクトホールにより接続するようにしたときに、誤短絡したり、耐圧不良等が発生しないようにすることを目的とする。

## 【0010】

【課題を解決するための手段】本発明半導体装置は半導体基板上に多層金属配線を行うようにした半導体装置において、金属配線の下層の絶縁層の中間部分にN又はCを含有するSiN, SiON, SiC, SiCN等から成る難エッチング層を設けたものである。

【0011】斯る、本発明によるN又はCを含有するSiN, SiON, SiC, SiCN等から成る難エッチング層はマグネットロンRIEで高アスペクト比のコンタクトホールを形成する際のエッチングストップ層となるので、このボーダーレスコンタクトホールにより接続するようにしたときに、多層金属配線間で誤短絡を生じたり、耐圧不良等が発生したりすることがない。

## 【0012】

【発明の実施の形態】以下図1～図3を参照して本発明半導体装置の実施の形態の一例を、製造例に従って説明する。この図1～図3において、図7に対応する部分には同一符号を付して示す。

【0013】本例においては、先ず図2に示す如く、トランジスタ等が集積形成されたSi基板1上に絶縁膜を

構成するリフローによるボロンリンシリケードガラス(BPSG)膜2を形成する。このBPSG膜2上にこのBPSG膜2を下地とした第1層のAlCu配線3をドライエッ칭により微細加工して形成する。この場合、この第1層のAlCu配線3の上下面にTiN膜3aを被着する如くする。この第1層のAlCu配線3の膜厚を例えば500nm程度とする。

【0014】この第1層のAlCu配線3及びBPSG膜2上にプラズマCVD法により形成したP-TEOS NSG膜4a及びO<sub>x</sub>-TEOS NSG膜4bの2層より成る層間絶縁膜を構成する第1の酸化膜4を形成する。

【0015】その後、この第1の酸化膜4上をCMP法により研磨して平坦とし、平坦面5を形成する。この場合この第1の酸化膜4の膜厚を例えば900nm程度とする。

【0016】本例においては、この平坦面5上にプラズマCVD法により厚さ200nm以下例えば100nmの絶縁膜であるSiN膜即ちP-SiN膜6を難エッ칭層として形成する。このP-SiN膜6を成膜する条件としては、

$\text{SiH}_4 / \text{NH}_3 / \text{N}_2 = 300 / 100 / 3000 \text{ sccm}$ , 4.0 Torr, 600W, 400°C  
とし、平行平板形プラズマCVD装置を使用した。

【0017】次にこのP-SiN膜6上にプラズマCVD法により厚さ200nm以下例えば100nmのP-TEOS NSG膜7を成膜する。このP-TEOS NSG膜7を成膜する条件としては、

$\text{O}_2 / \text{TEOS} = 500 / 900 \text{ sccm}$ , 8.0 Torr, 800W, 400°C  
とし、平行平板形プラズマCVD装置を使用した。

【0018】このP-TEOS NSG膜7上にこのP-TEOS NSG膜7を下地とした第2層のAlCu配線8をドライエッ칭により微細加工して形成する。この場合、この第2層のAlCu配線8の上下面にTiN膜8aを被着する如くする。この第2層のAlCu配線8の膜厚を例えば500nm程度とする。

【0019】この第2層のAlCu配線8及びP-TEOS NSG膜7上にプラズマCVD法により形成したP-TEOS NSG膜9a及びO<sub>x</sub>-TEOS NSG膜9bの2層より成る層間絶縁膜を構成する第2の酸化膜9を形成する。

【0020】その後、この第2の酸化膜9上をCMP法により研磨して平坦とし、平坦面10を形成する。この場合、この第2の酸化膜9の膜厚を例えば900nm程度とする。

【0021】この平坦面10上にプラズマCVD法により厚さ200nm以下例えば100nmのP-TEOS NSG膜11を成膜する。

【0022】このP-TEOS NSG膜11上に所定

数のボーダレスコンタクトホールのパターンが形成されたマグネットロンRIEのレジスト12を設ける如くする。

【0023】次にこのレジスト12を使用し、マグネットロンRIEによるボーダレスコンタクトホールのエッチングを実施する。ここで、最も深い層間絶縁膜の膜厚のオーバーエッ칭分を含めて、深さ換算で1.5μmの高アスペクト比のエッチングを実施する。エッチング条件を最適化することで、μ-ローディング効果、対レジスト選択比、対TiN選択比、角度制御等に良好な特性を得る如くしている。

【0024】このエッチングの条件は、C<sub>x</sub>F<sub>y</sub>/CO/Ar/O<sub>2</sub> = 12/100/200/5sccm, 6.0Pa, 1600W, 20°C, P-TEOS NSG = 450nm/m.in ± 4.8%, 対TiN選択比25, μ-ローディング効果 = 85%以上, 角度制御θ = 88°以上とする。

【0025】この場合、最も浅い層間絶縁膜のコンタクトホール13aでは深さ1.1μm(第2層のAlCu配線8の下100nm)にコンタクトホール13aの底が到達すると、図3に示す如くP-SiN膜6が、このコンタクトホール13aの底に露出して、このエッチングの進行が阻止される。これは周知の如くC<sub>x</sub>F<sub>y</sub>/CO/Ar/O<sub>2</sub>でのSiNに対するSiO<sub>x</sub>の高選択比エッチングの機構が働くためである(特開平6-132252号公報参照)。

【0026】また浅い層間絶縁膜のコンタクトホール13aでは、P-SiN膜6でのエッチングストップが働くため第2層のAlCu配線8の下地の酸化膜であるP-TEOS NSG7の掘れが一定の深さ(本例では第2層のAlCu配線8の下100nm)で挿う。深いコンタクトホール13aでは層間絶縁膜の膜厚にオーバーエッ칭分が加わるため、高アスペクト比のコンタクトホール13aが開孔する。

【0027】この後、既知の方法により図3に示す如くレジスト12を除去する。次に、このコンタクトホール13aにCVD法とエッチバッカ法とにより、又はCVD法とCMP法とにより接続導体(例えばWプラグ)13を形成する。

【0028】図1に示す如くこのコンタクトホール13aの接続導体13の上面に電気的に接続して、第3層のAlCu配線14をドライエッ칭により微細加工して形成する。この場合、この第3層のAlCu配線14の上下面にTiN膜14aを被着する如くする。このAlCu配線14の膜厚を例えば500nm程度とする。

【0029】本例によればμ-ローディング効果を良くしているので、高アスペクト比のボーダレスコンタクトホール13aを良好に形成できると共にP-SiN膜6をエッチングストップ膜としているので、このボーダレスコンタクトホール13aを使用して第3層のA

Cu配線14と第2層のAlCu配線8とを接続したときに誤短絡を生じたり、耐圧不良等が発生したりするところがない。

【0030】即ち本例によれば、第1層のAlCu配線3とボーダレスコンタクトホール13aの底との間を、400nm以上に設定しているため、誤短絡が生じないばかりか、層間耐圧も確保され、良好な電気的特性を得ることができる利益がある。

【0031】従って本例を超LSI装置に適用したときには高品質で信頼性の良好な超LSI装置を得ることが出来る利益がある。

【0032】尚上述実施例は難エッチング層としてSiN膜6(プラズマCVDによるP-SiN膜)を使用した例につき述べたが、この代わりにSiON、SiOFN等のNを含有する薄膜を使用できることは勿論である。

【0033】また上述例では成膜するのにプラズマCVD装置を使用したが、この代わりにECR(Electron Cyclotron Resonance)CVD装置、ヘリコン波CVD装置、ICP(Inductively Coupled Plasma)CVD装置等の高密度CVD装置が使用できることは勿論である。

【0034】次に図4、図5、図6を参照して本発明の実施の形態の他の例につき説明する。この図4、図5、図6において、図1、図2、図3に対応する部分には同一符号を付して示す。

【0035】本例においては、先ず図4に示す如く、トランジスタ等が集積形成されたSi基板1上に絶縁膜を構成するリフローによるボロンリンシリケードガラス(BPSG)膜2を形成する。このBPSG膜2上にこのBPSG膜2を下地とした第1層のAlCu配線3をドライエッチングにより微細加工して形成する。この場合、この第1層のAlCu配線3の上下面にTiN膜3aを被着する如くする。この第1層のAlCu配線3の膜厚を例えば500nm程度とする。

【0036】この第1層のAlCu配線3及びBPSG膜2上にプラズマCVD法により形成したP-TEOS NSG膜4a及びO<sub>x</sub>-TEOS NSG膜4bの2層より成る層間絶縁膜を構成する第1の酸化膜4を形成する。

【0037】その後、この第1の酸化膜4上をCMP法により研磨して平坦とし、平坦面5を形成する。この場合この第1の酸化膜4の膜厚を例えば500nm~900nmとする。

【0038】その後、本例においては、この平坦面5よりN<sup>+</sup>をウェーハ全面にイオン注入し、SiNより成る難エッチング層20を形成する。このイオン注入したN<sup>+</sup>の平均射影飛程R<sub>p</sub>は、この平坦面5から100nm以下が好適である。この平均射影飛程R<sub>p</sub>での標準偏差△R<sub>p</sub>は±30nm程度である為、高濃度にミキシング

された層は60nm程度に形成される(注入後のミキシング層はアモルファスであるが、層間膜の成膜中の加熱により多結晶化し、SiN、SiON混晶等が生成する。)。

【0039】このN<sup>+</sup>イオン注入条件は、加速エネルギー=100KeV、N<sup>+</sup>=1E16cm<sup>-2</sup>、室温注入である。

【0040】次に、この平坦面5上にプラズマCVD法により、例えば100nmのP-TEOS NSG膜7を成膜する。このP-TEOS NSG膜7を成膜する条件としては、O<sub>x</sub>/TEOS=500/900sccm、8.0Torr、800W、400°Cとし、平行平板形プラズマCVD装置を使用した。

【0041】このP-TEOS NSG膜7上にこのP-TEOS NSG膜7を下地とした第2層のAlCu配線8をドライエッチングにより微細加工して形成する。この場合、この第2層のAlCu配線8の上下面にTiN膜8aを被着する如くする。この第2層のAlCu配線8の膜厚を例えば500nm程度とする。

【0042】この第2層のAlCu配線8及びP-TEOS NSG膜7上にプラズマCVD法により形成したP-TEOS NSG膜9a及びO<sub>x</sub>-TEOS NSG膜9bの2層より成る層間絶縁膜を構成する第2の酸化膜9を形成する。

【0043】その後、この第2の酸化膜9上をCMP法により研磨して平坦とし、平坦面10を形成する。この場合この第2の酸化膜9の膜厚を例えば500nm~900nmとする。この平坦面10上にプラズマCVD法により厚さ200nm以下例えば100nmのP-TEOS NSG膜11を成膜する。

【0044】このP-TEOS NSG膜11上に所定数のボーダレスコンタクトホールを形成するパターンが形成されたマグネットロンRIEのレジスト12を設ける如くする。

【0045】次にこのレジスト12を使用し、マグネットロンRIEによるボーダレスコンタクトホールのエッチングを実施する。ここでは最も深い層間絶縁膜の膜厚のオーバーエッチング分を含めて、深さ換算で1.5μmの高アスペクトのエッチングを実施する。このエッチング条件を最適化することで、μ-ローディング効果、対レジスト選択比、対TiN選択比、角度制御等に良好な特性を得る如くしている。

【0046】このエッチング条件は、C<sub>x</sub>F<sub>y</sub>/CO/Ar/O<sub>2</sub>=12/100/200/5sccm、6.0Pa、1600W、20°C、P-TEOS NSG=450nm/min±4.8%，対TiN選択比2.5、μ-ローディング効果=85%以上、角度制御θ=88°以上とする。

【0047】この場合、最も浅い層間絶縁膜のコンタクトホール13aでは深さ1.1μm(第2層のAlCu

配線8の下100nm)にこのコンタクトホール13aの底が到達すると、図5に示す如く、SiN, SiONの難エッチング層20が底に露出して、このエッチングの進行が阻止される。これは周知の如く、C, F, /C<sub>o</sub>/Ar/O<sub>2</sub>でのSiNに対するSiO<sub>2</sub>の高選択比エッチングの機構が働くためである(特開平6-132252号公報参照)。

【0048】また浅い層間膜厚のコンタクトホール13aでは、SiN, SiONの難エッチング層20でのエッチングストップが働く為、配線の下地の酸化膜の掘れが一定の深さ(A1Cu配線の下200nm程度で揃う)。深いコンタクトホール13aでは層間絶縁膜の膜厚にオーバーエッチング分が加わる為、高アスペクトなコンタクトホールが開孔する。

【0049】この後、既知の方法により図5に示す如くレジスト12を除去する。次にこのコンタクトホール13aにCVD法とエッチバック法とにより、又はCVD法とCMP法とにより接続導体(例えばWプラグ)13を形成する。

【0050】図6に示す如く、このコンタクトホール13aの接続導体13の上面に電気的に接続して、第3層のA1Cu配線14をドライエッチングにより微細加工して形成する。この場合、この第3層のA1Cu配線14の上下面にTiN膜14aを被着する如くする。このA1Cu配線14の膜厚を例えば500nm程度とする。

【0051】本例によればμ-ローディング効果を良くしているので、高アスペクト比のボーダーレスコンタクトホール13aを良好に形成できると共にSiN, SiONの難エッチング層20をエッチングストップ層としているので、これによりコンタクトホールの掘れが抑えられ、このボーダーレスコンタクトホール13aを使用して第3層のA1Cu配線14と第2層のA1Cu配線8とを接続するときに誤短絡を生じたり、耐圧不良が発生したりすることがない。

【0052】また本例によればN<sup>+</sup>イオンの注入条件を所望の値に設定することにより任意のSiN, SiONの難エッチング層20を形成することができる。

【0053】尚、上述実施例においては、N<sup>+</sup>イオンを注入してSiN, SiONの難エッチング層を形成した例につき述べたが、この代わりにC<sup>+</sup>イオンを注入しS

iCの難エッチング層としても良いし、またC<sup>+</sup>イオン及びN<sup>+</sup>イオンの二重注入によってSiCNの難エッチング層を形成しても上述と同様の作用効果が得られるることは容易に理解できよう。

【0054】このC<sup>+</sup>イオン注入の条件の例は100KeV, C<sup>+</sup>=1E16cm<sup>-2</sup>、室温注入である。

【0055】また本発明は上述実施例に限ることなく、本発明の要旨を逸脱することなく、その他種々の構成が採り得ることは勿論である。

【0056】

【発明の効果】本発明によれば、μ-ローディング効果を良くして高アスペクト比のボーダーレスコンタクトホールを良好に形成できると共にN又はCを含有するSiN, SiON, SiC, SiCN等から成る難エッチング層をエッチングストップ層としているので、このボーダーレスコンタクトホールの底の位置が決まり、このボーダーレスコンタクトホールにより多層金属配線間を接続するようにしたときに誤短絡を生じたり、耐圧不良等が発生したりすることがない利益がある。

【0057】従って本例によれば高品質で信頼性の良好な超LSI素子等の半導体装置を得ることができる利益がある。

【図面の簡単な説明】

【図1】本発明半導体装置の一例を示す断面図である。

【図2】図1の製造工程例を示す断面図である。

【図3】図1の製造工程例を示す断面図である。

【図4】本発明の他の例の製造工程例を示す断面図である。

【図5】本発明の他の例の製造工程例を示す断面図である。

【図6】本発明の他の例を示す断面図である。

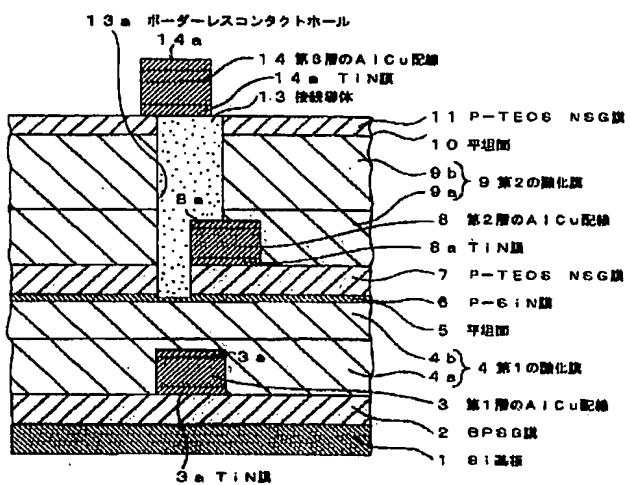
【図7】従来の半導体装置の例の説明に供する断面図である。

【符号の説明】

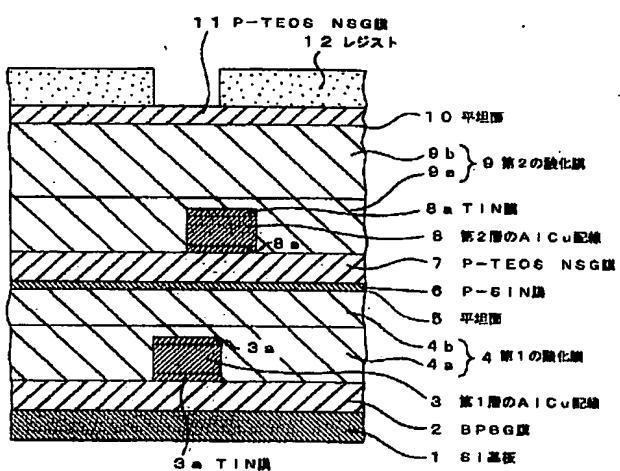
1…Si基板、2…BPSG膜、3…第1層のA1Cu配線、4…第1の酸化膜、5, 10…平坦面、6…P-SiN膜、7, 11…P-TEOS NSG膜、8…第2層のA1Cu配線、9…第2の酸化膜、12…レジスト、13…接続導体、13a…ボーダーレスコンタクトホール、14…第3層のA1Cu配線、20…難エッチング層

40

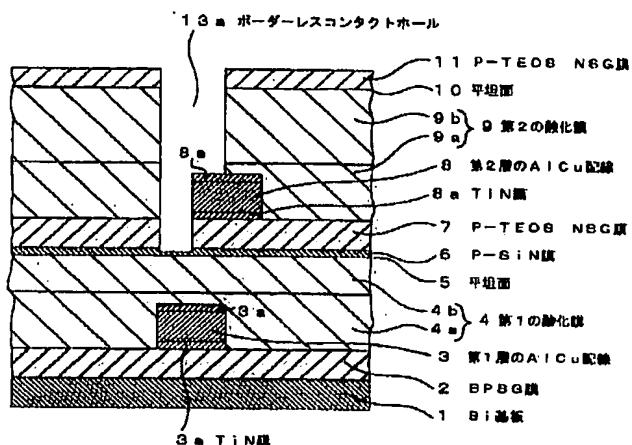
【図1】



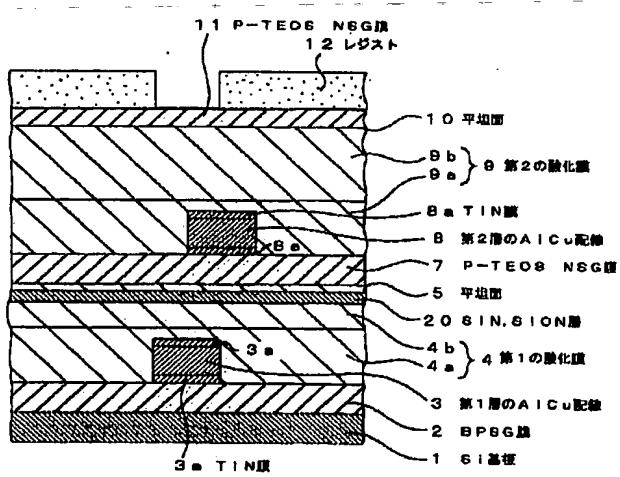
【図2】



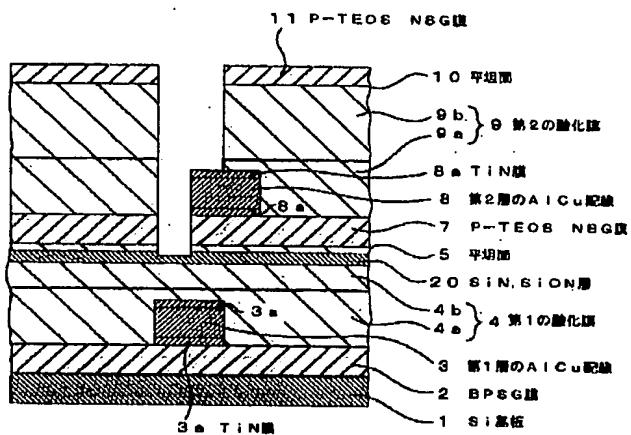
【図3】



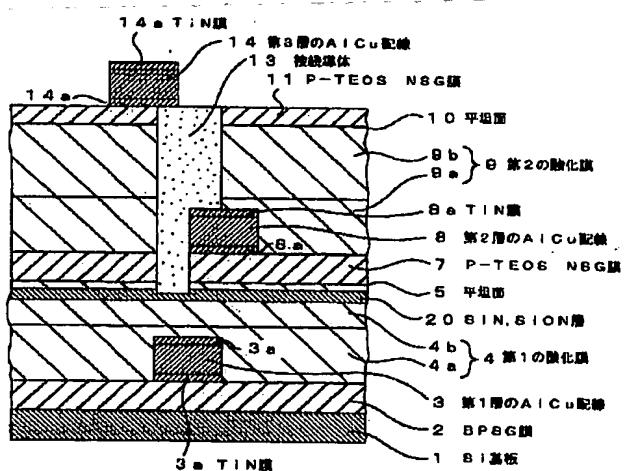
【図4】



【図5】



【図6】



【図7】

